

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑪ 公開実用新案公報(U) 昭60-52885

⑫ Int. Cl.

A 63 F 9/22

識別記号

庁内整理番号

A-8102-2C

⑬ 公開 昭和60年(1985)4月13日

審査請求 有 (全頁)

⑭ 考案の名称 ゲーム装置のカートリッジ

⑮ 実 願 昭58-145419

⑯ 出 願 昭58(1983)9月20日

⑰ 考 案 者 川 浪 順 介 東京都大田区上池台4丁目40番5号 株式会社学習研究社  
内

⑱ 出 願 人 株式会社学習研究社 東京都大田区上池台4丁目40番5号

⑲ 代 理 人 弁理士 下田 容一郎 外2名

## 明 細 書

### 1. 考案の名称

ゲーム装置のカートリッジ

### 2. 実用新案登録請求の範囲

(1) 装置本体に着脱自在でゲームの種類によつて取替えるゲーム装置のカートリッジにおいて、ゲームプログラム等を記憶するメモリと、各種処理等を実行するCPUを内蔵せしめたことを特徴とするゲーム装置のカートリッジ。

(2) 前記メモリと前記CPUは一体の単一チップ素子からなることを特徴とする実用新案登録請求の範囲第1項記載のゲーム装置のカートリッジ。

### 3. 考案の詳細な説明

本考案は装置本体に着脱自在でゲームの種類によつて取替えるゲーム装置のカートリッジの改良に関する。


一般家庭用のテレビジョンに接続し画面に表示されたゲームパターンに従つてゲームを進行させるゲーム装置は知られている。また、斯かるゲーム装置に於て、装置本体に対し着脱自在の複数の



カートリッジを備え、このカートリッジを装置本体へ差し替えることによつて種々のゲームを行えるようにしたゲーム装置も実用化されている。

従来、このようなゲーム装置に用いられるカートリッジにはゲームプログラムを格納したマスクROMを内蔵し、このゲームプログラムを読み出しゲームパターンをテレビジョン画面に表示するとともに各種処理を実行する等の主要な機能素子、例えばCPU(中央処理装置)、VDG(ビデオディスプレイゼネレータ)等は装置本体側に内蔵させていた。

ところで、このように構成するためカートリッジ交換によりゲームプログラムの変更、つまりゲーム内容の変更は容易に行い得るが次の如き幾つかの問題がある。先ず第1に、変更できるのはゲーム内容のみであり、これ以外、例えば表示されたキャラクタの色、或るいは表示ドット数の変更等は行うことができない。また第2には、マスクROMのチップ素子と、例えばCPUのチップ素子は別々に製造されるためゲーム装置全体のコストア



ツブを招く。特に安価なこの種ゲーム装置が大量に普及しつつある現在、コストダウンは重要な課題である。

本考案は斯かる問題を解決するもので、その目的とするところはゲーム内容のみならず、色表示ドット数等の表示特性についても任意に変更でき、より多様性を向上させ得るとともに、特にゲーム装置としてのトータルコストの低減に寄与できるゲーム装置のカートリッジを提供するにある。

本考案は以上の目的を達成するため、装置本体に着脱自在でゲームの種類によつて取替えるゲーム装置のカートリッジに適用し、その主要構成とするところはゲームプログラム等を記憶するメモリと、各種処理等を実行するCPUを内蔵するとともに、特にメモリとCPUを一体の単一チップ素子で形成できるようにしたことを特徴とする。

以下には本考案を更に具体化した好適な実施例を挙げ図面を参照して詳述する。

図面に於て、第1図は本考案に係るカートリッジを用いるゲーム装置の装置本体を明示する外観

斜視図、第2図は本考案に係るカートリッジを明示する外観斜視図、第3図は同カートリッジを装置本体にセットした状態を明示する部分的斜視図である。

先ず、本考案を明確にするため第1図乃至第3図を参照しゲーム装置の全体的外観構成について説明する。

装置本体は符号1で示され、これは接続コード2を介して家庭用テレビジョン3（アンテナ端子）に接続する。装置本体1は直方体状のケース4の上面左側端部にアーチ状のグリップ5を設け、このグリップ5の上面に押釦6を配設する。この押釦6は例えばゲームスタート、ゲームモードセレクト、発射釦等のスイッチ機能を兼用し、プレイヤー（遊戯者）は左手でグリップ5を握りつつ押釦6を操作できるようにする。

また、ケース4の上面右側寄りには前側に四方向操作レバー7を、後側にカートリッジ挿入部8を夫々設ける。操作レバー7は正面T字形に形成し前後左右へ傾倒する。操作レバー7上部のレバ

ーグリッブ 7 a の左端部には押釦 9 を配設し、レバーグリッブ 7 a をプレイヤーの右手で握りつつ押釦 9 を操作できるようにする。この押釦 9 は前記押釦 6 のスイッチ機能以外の所要のスイッチ機能又は必要により同一のスイッチ機能を備えている。一方、カートリッジ挿入部 8 は長方形の挿入口 8 a とカートリッジの先端で押広げられる弾性支持された一对の蓋板 8 b、8 b からなる。

更にまた、ケース 4 上面でグリッブ 5 と操作レバー 7 の間には電源スイッチ 10、ポーズ釦 11、ランプ 12 を夫々配設する。

一方、本考案に係るカートリッジは第 2 図に符号 13 で示し略直方体状のケース 14 の下端部に開口凹部 15 を形成し、この凹部 15 内に端子板 16 を露出させてある。以つて、カートリッジ 13 を前記装置本体 1 にセットする場合は端子板 16 側をカートリッジ挿入部の挿入口 8 a に差し込めば端子板 16 が本体 1 内部に配設したソケットに結合し回路が接続される（第 3 図参照）。

次に、第 4 図及び第 5 図を参照し本考案に係る

カートリッジについて具体的に説明する。第4図は同カートリッジの内部構造を明示する斜視図、第5図は同カートリッジ及び装置本体の電氣的ブロック回路図を夫々示す。

先ず、カートリッジ13内にはプリント配線基板17を配設する。この基板17は前記端子板16と一体である。この配線基板17上には単一のLSIチップ素子18をマウント固定するとともに必要な回路部品19をマウントする。チップ素子18は第5図に示すように、ROM、RAM、レジスタからなるメモリ18aとCPU18bを一体にしたもので例えば8ビットの簡易マイクロコンピュータ機能をもち、またアドレスとデータの入出力、キー（操作レバー、押釦等）の入出力、VDG制御、サウンド等の各種ポートを備えている。メモリ18aはゲーム内容に応じたゲームプログラムを格納したROM（マスクROM）と、CPU18bとともに機能するRAM及びレジスタからなる。なお、近年のLSI技術の進歩により例えばメモリ素子とCPU素子を夫々別体に製造されたチップを組合せ

使用するよりも、本考案のカートリッジ13に用いる如きメモリ18aとCPU18bを一体化した単一チップ素子の方が大幅なコストダウンを達成できる。

次に、斯かるカートリッジ13に接続する装置本体1側の回路構成について説明する。この装置本体1には上記メモリ18a及びCPU18b以外の機能素子を内蔵する。20はデコーダでビデオRAM21及びモードセレクトラッチ22のセレクトコントロールを行う。ビデオRAM21はカートリッジ側のROMから転送されたアドレス情報を記憶し更にVDG23へ転送してビデオ信号を生成するとともにCPU18bからのデータによつてキャラクタの状態を読み取る。またモードセレクトラッチ22はVDG23のモード選択用でデコーダ20からの情報でモードを固定する。一方、アドレスラッチ24はアドレス情報とデータを分離するためのラッチである。アドレスドライバ25はアドレスの読み書き用でビデオRAM21のアクセス時に制御される。バストランシーバ26はR/W信号



(読み出し書き込み用信号)によりデータの送受を行うとともにビデオRAM21のアクセス時にクロックのタイミングをとる。また、VDG23はディスプレイモードを設定することによりビデオRAM21のデータによつてビデオ信号をつくる。このディスプレイモードはカートリッジ13のCPU18bで設定されるもので、例えば64×32ドットのセミグラフィックスと8カラー、64×64ドットのグラフィックスと4カラー、128×64ドットのグラフィックスと2カラー、…等の種々の画面表示特性から選択される。サウンドモジュレータ27はCPU18bからの信号を合成し、テレビジョン音声信号である4.5MHzにて変調しFM信号化する。ビデオモジュレータ28はVDG23からの信号を高周波発振器29にてRF振幅変調しテレビジョン(NTSC)信号のCH1及びCH2を作り出し、ローパスフィルタ3.0を介して前記テレビジョン3側へ供給する。

以上のブロック回路構成によりカートリッジ13のメモリROM18a内に格納されたゲームプロ

グラムによつて所定のゲーム内容が設定されるとともに、CPU18bによつてVDG23が制御されテレビジョン画面上の色の種類、画質（表示ドット数）等の設定を行うことができる。

なお、実施例に於ては、テレビジョン3に接続して使用するゲーム装置を例にとつたが、その他ゲーム装置に表示装置が一体化されたものにも使用するカートリッジでもよい。また、カートリッジの形状、本体側への着脱形式等は任意のものに適用できる。

このように、本考案に係るゲーム装置のカートリッジはゲームプログラム等を記憶するメモリと、各種処理等を実行するCPUを内蔵してなるため、ゲーム内容のみならず、色の種類、表示画面のドット数等の表示特性についてもカートリッジ毎に任意に変更することができるため、より多様性を向上せしめることができる。

また、メモリとCPUはいわば簡易マイクロコンピュータ機能をもつ単一チップ素子として製作でき、大量生産し得るものであるから、カートリ

ッジ及びこれを使用する装置本体のトータルコストの低減に寄与することができる。

#### 4. 図面の簡単な説明

第1図は本考案に係るカートリッジを用いるゲーム装置の装置本体を明示する外観斜視図、第2図は本考案に係るカートリッジを明示する外観斜視図、第3図は同カートリッジを装置本体にセットした状態を明示する部分的斜視図、第4図は同カートリッジの内部構造を明示する斜視図、第5図は同カートリッジ及び装置本体の電氣的ブロック回路図である。

尚図面中、1は装置本体、13はカートリッジ、18はLSIチップ素子、18aはメモリ、18bはCPUである。

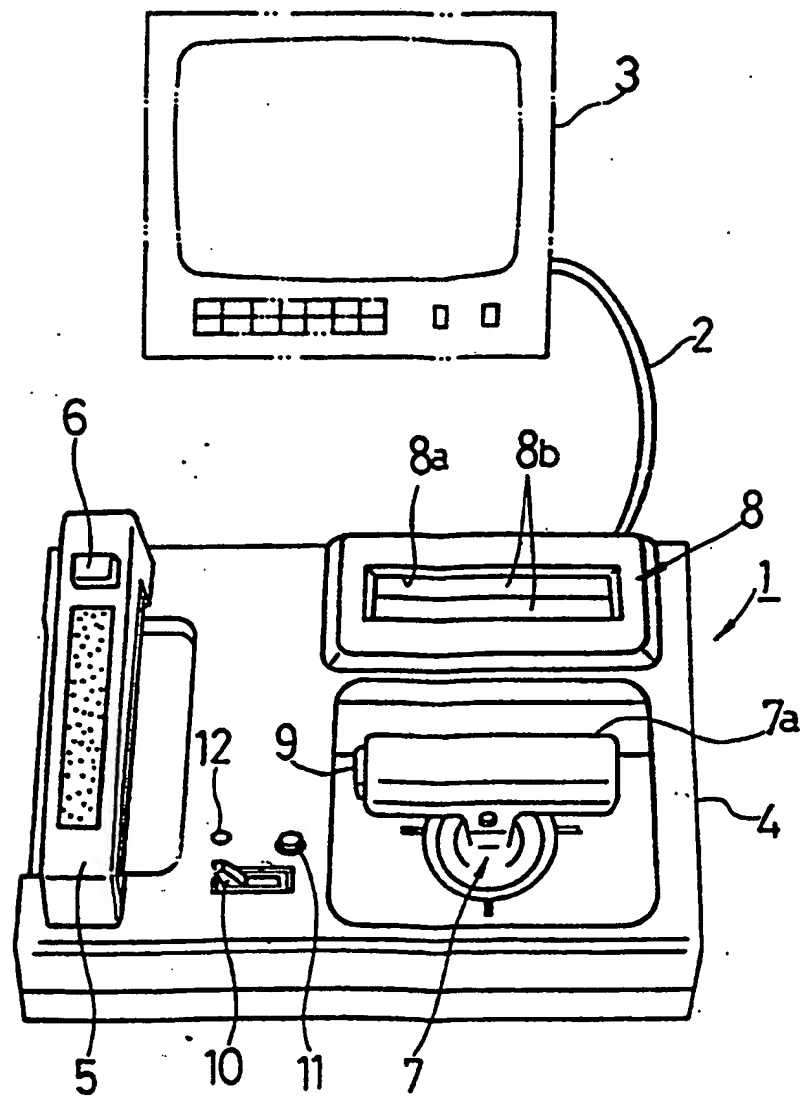
実用新案登録出願人 株式会社学習研究社

代理人 弁理士 下 田 容 一 郎

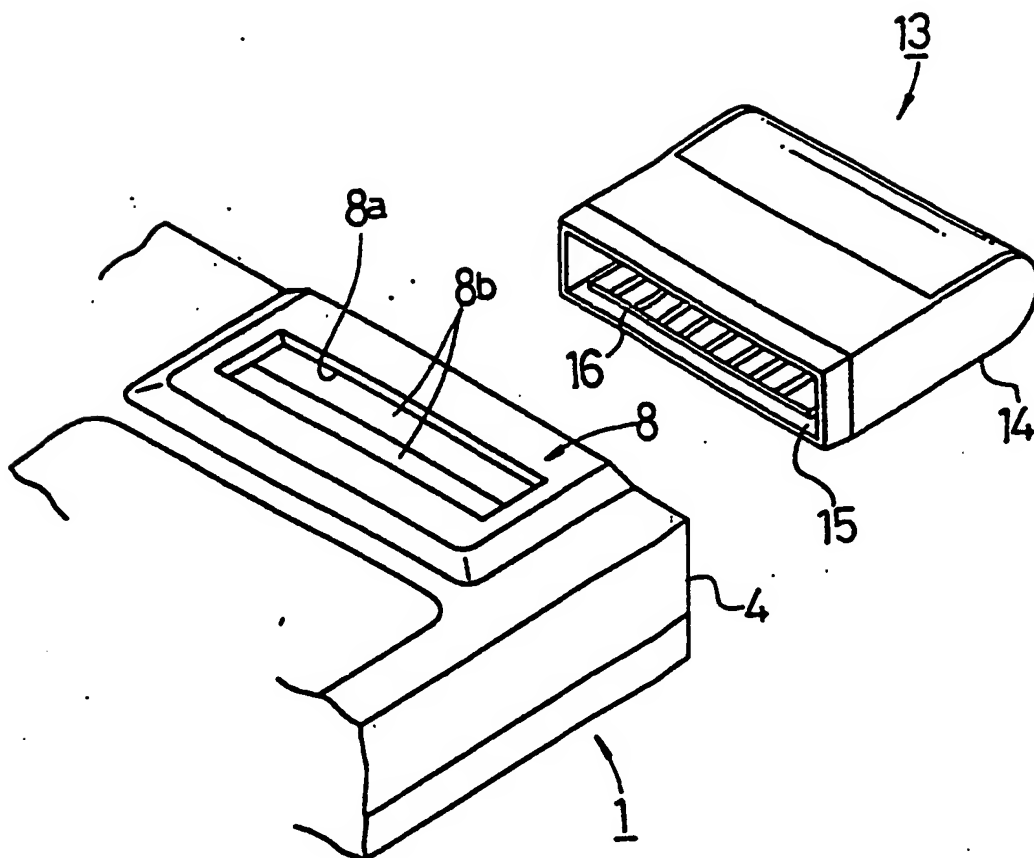
同 弁理士 大 橋 邦 彦

同 弁理士 小 山 有

第 1 図



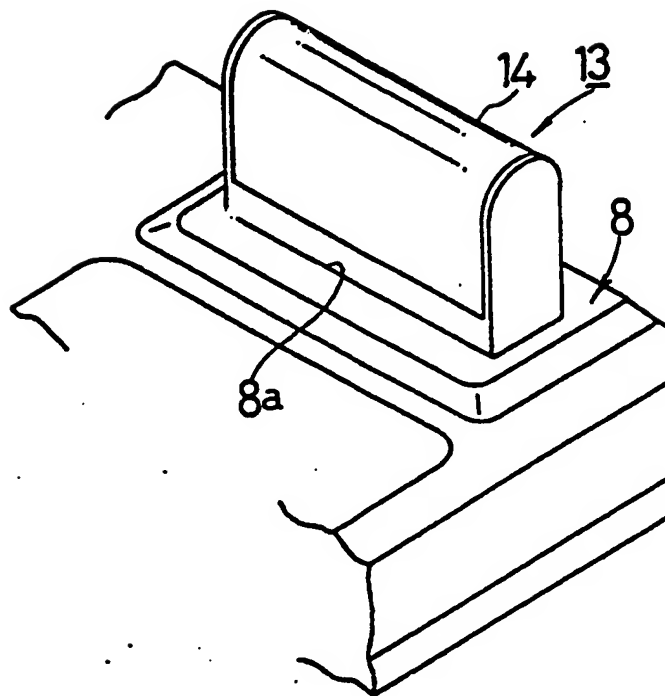
第 2 図



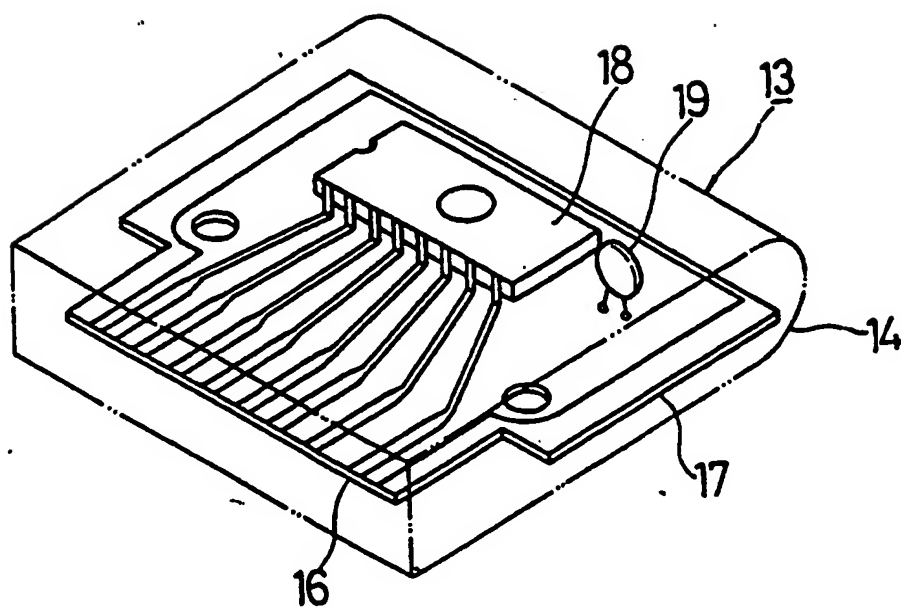
779

52885-60

第 3 図



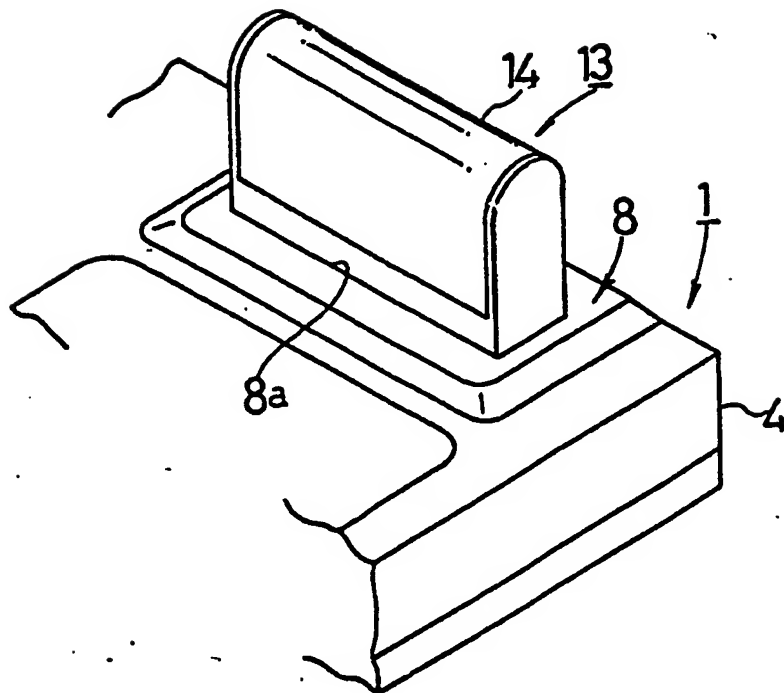
第 4 図



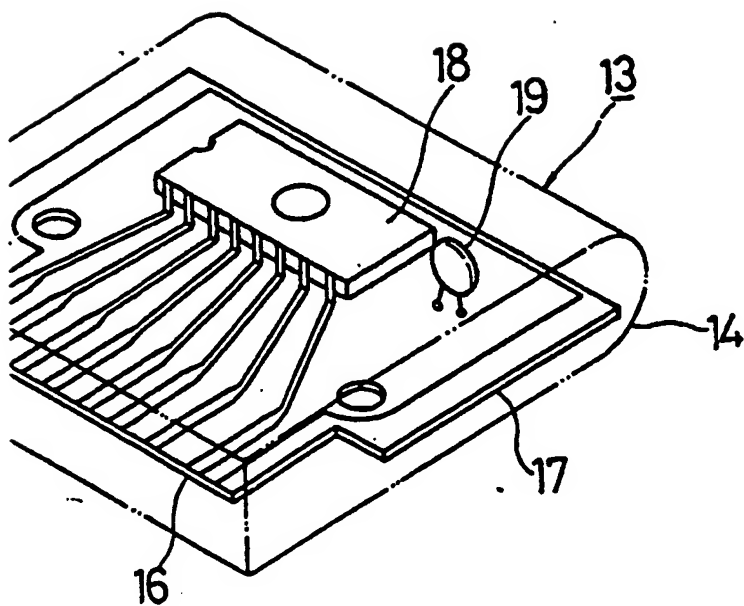
782

5260-528

第 3 図



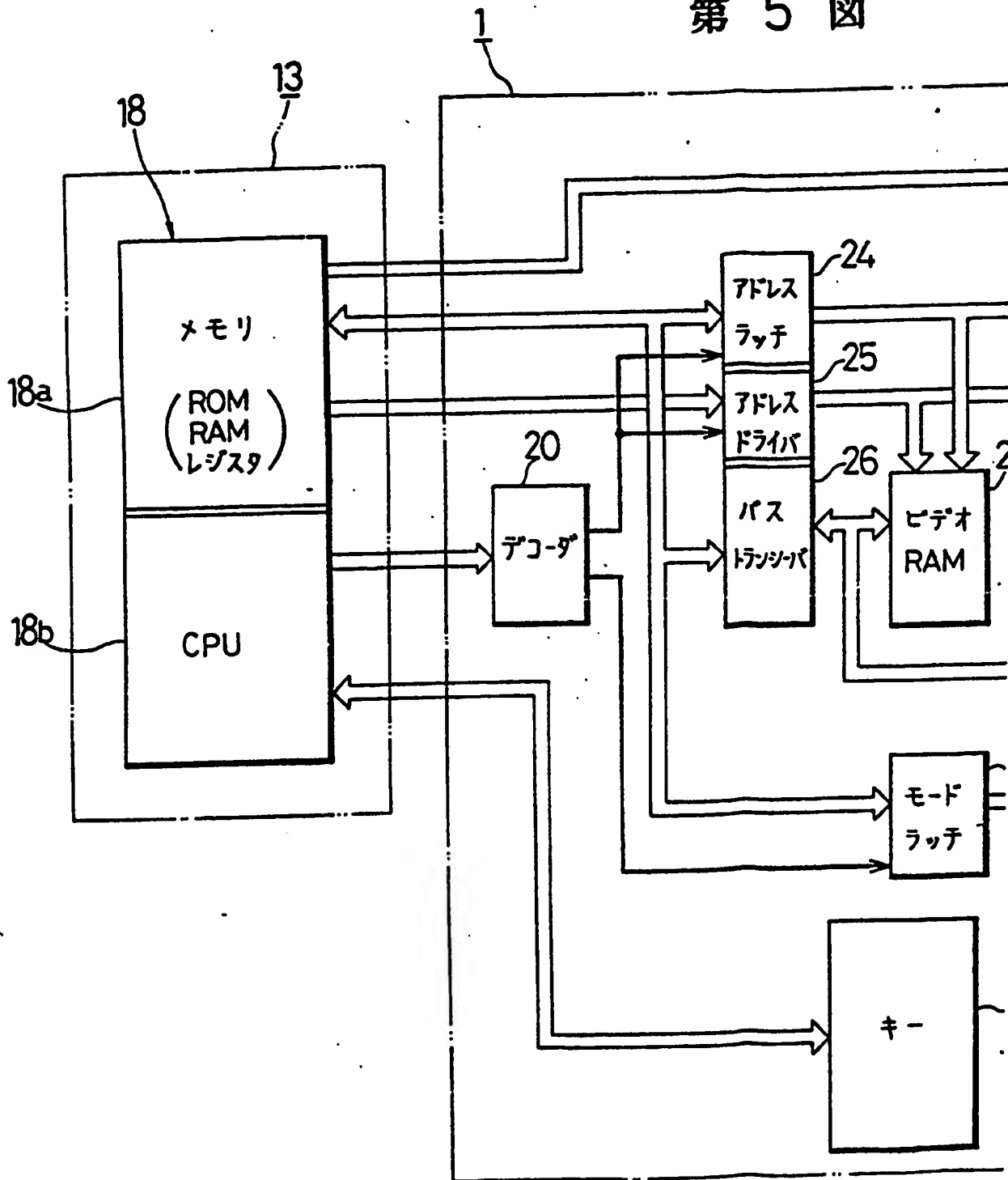
第 4 図



789

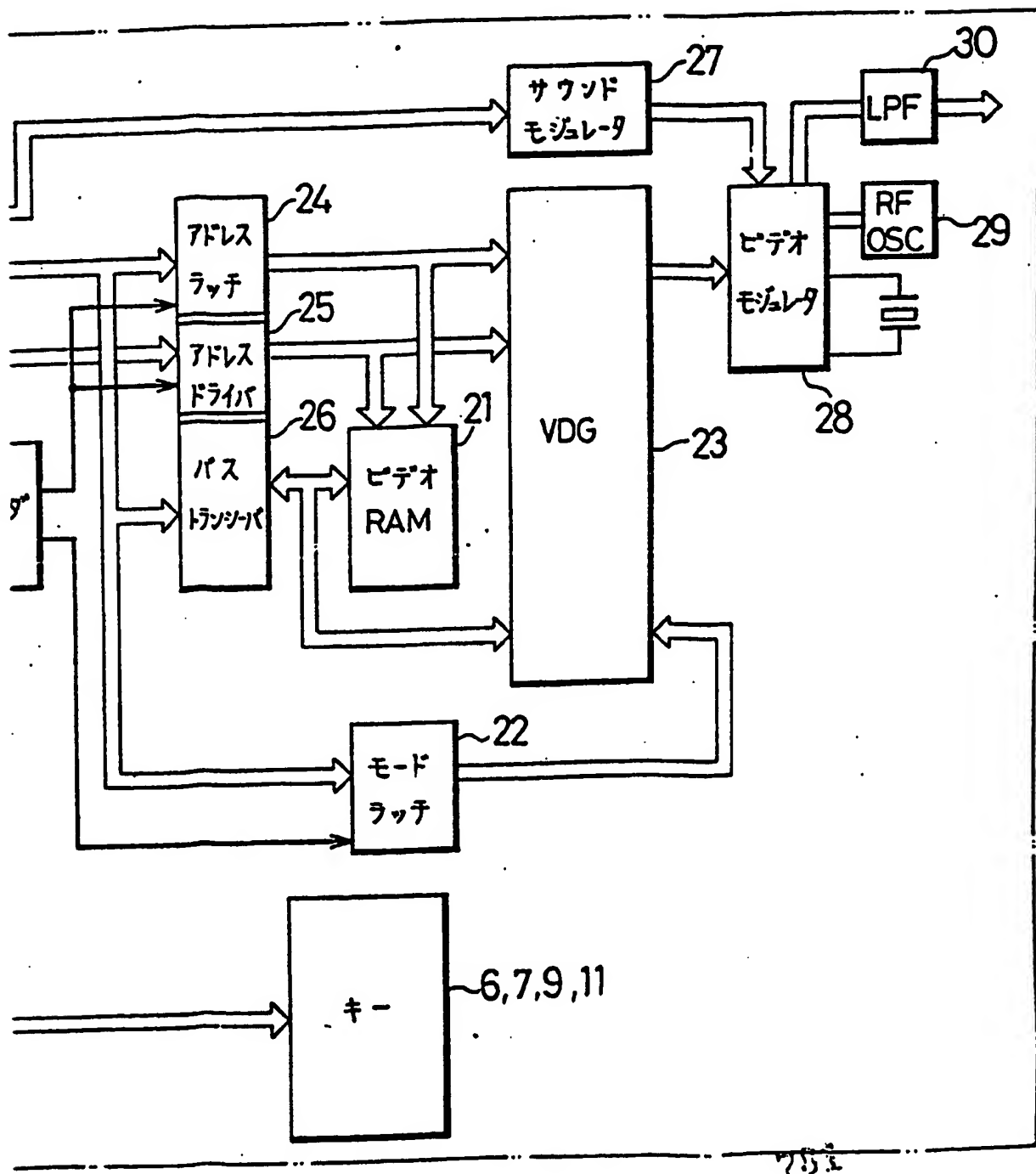
実開60-52885

第 5 図





# 第 5 図



Summary of Japanese Utility Model Application 58-145419/1983

1. Title of the device

Cartridge of a game apparatus

2. Claims

(1) A cartridge of a game apparatus detachable from a main body of the game apparatus according to a type of a game, including a memory for storing a game program and the like, and a CPU for executing various processings.

(2) The cartridge according to claim 1, wherein the memory and the CPU are integrated as a single chip.

3. DETAILED EXPLANATION OF THE DEVICE

(NB: Explanation on Figs. 1-3 are omitted.)

Next, the cartridge according to the device will be explained in detail with reference to Figs. 4 and 5. Fig. 4 is a perspective view of an internal structure of the cartridge, and Fig. 5 is a block diagram of the cartridge and the main body of the game apparatus.

A print circuit board 17 is set in a cartridge 13. The board 17 is integrated with the above-mentioned terminal plate 16. An LSI chip element 18 and necessary components are mounted on the print circuit board 17. As shown in Fig. 5, the chip element 18 has a memory 18a including a ROM, a RAM and a buffer, and a CPU 18b in an integrated body. For example, it has a function of an 8-bit microprocessor and has various ports of input/output of address and data, keys (operation levers, push buttons and the like), video display generator (VDG) control, sound and the like. The memory 18a has the ROM (a mask ROM) storing a game program according to the contents of a game, and the RAM and the buffer used by CPU 18b. According to the development of LSI technology, such single chip element as mentioned above having the integrated memory 18a and CPU 18b used for the cartridge 13 of the device is preferable for cost down to a combination of a memory element and a CPU element.

Next, a circuit structure in the main body of the game apparatus connected to the cartridge 13 is explained. The main body includes components other than the memory 18a and the CPU 18b. A decoder 20 performs select control for a video RAM 21 and

a mode select latch 22. The video RAM 21 stores address information received from the ROM in the cartridge 13 and transmits it to the VDG 23 to generate video signals. Further, it reads a status of a character according to the data from the CPU 18b. The mode select latch 22 is used for mode selection of the VDG 23, and it fixes a mode according to the information from the decoder 20. On the other hand, an address latch 24 is provided to separate the address information from the data. An address driver 25 is controlled when the video RAM 23 is accessed for reading/writing an address. A bus transceiver 26 performs data transmission according to R/W signal and gives clock timings when the video RAM 21 is accessed. Further, by setting a display mode, the VDG 23 generates video signals according to the data of the video RAM 21. The display mode is set by CPU 18b in the cartridge 13. For example, it is selected among various screen display characteristics of semi-graphics of 64\*32 dots and 8 colors, graphics of 64\*64dots and 4 colors, graphics of 128\*64 dots and 2 colors, and the like. A sound modulator 27 synthesizes signals from CPU 18b and modulates it at 4.5 MHz of television sound signal for generating FM signals. A video modulator 28 performed RF amplitude modulation on signals from the VDG 23 with a high frequency generator 29 to generate CH1 and CH2 of television (NTSC) signals and provides them through a low-pass filter 30 to the television set 3.

According to the circuit explained above, game contents are set according to the game program stored in the ROM 18a in the cartridge 13, while the VDG 23 is controlled by CPU 18b to set the color type, image quality (display dot number) and the like for a television screen.

In the above-mentioned embodiment, a game apparatus to be connected to a television set is explained as an example. However, the cartridge may also be used for the game apparatus and the display device integrated as one body. Further, the form of the cartridge and the connection thereof to the main body can be changed in various ways.

As explained above, because the cartridge of the game apparatus according to the device includes the memory for storing the game program and the like and the CPU for performing various

processings, not only the game contents, but also the color type, the image quality (display dot number) and the like can be changed for each cartridge. Therefore, the diversification can be improved.

Further, the memory and the CPU can be mass-produced as an integrated chip having a function as a simple microcomputer. Therefore, the total cost of the cartridge and the main body of the apparatus can be decreased.

#### BRIEF EXPLANATION OF THE DRAWINGS

Fig. 1 is a perspective view of a main body of a game apparatus using a cartridge.

Fig. 2 is a perspective view of the cartridge.

Fig. 3 is a partial perspective view of the cartridge set to the main body of the game apparatus.

Fig. 4 is a perspective view of an internal structure of the cartridge.

Fig. 5 is a block diagram of the cartridge and the main body of the game apparatus.

1: Main body of a game apparatus. 3: Television set. 4: Case. 6: Button. 7: Lever. 8: Slot for cartridge. 9: Button. 11: Button. 14: Case. 15: Recess. 16: Terminal plate.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**